

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

6129962

Basic Patent (No,Kind,Date): EP 165764 A2 851227 <No. of Patents: 007>

DEPLETION MODE THIN FILM SEMICONDUCTOR PHOTODETECTORS

(English)

Patent Assignee: XEROX CORP (US)

Author (Inventor): CHIANG ANNE; JOHNSON NOBLE M

Designated States : (National) DE; FR; GB

IPC: *H01L-031/10; H01L-031/02

CA Abstract No: *105(02)015056H;

Derwent WPI Acc No: *G 86-001315;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
DE 3587240	C0	930513	EP 85304160	A	850612	
DE 3587240	T2	930715	EP 85304160	A	850612	
EP 165764	A2	851227	EP 85304160	A	850612	(BASIC)
EP 165764	A3	870311	EP 85304160	A	850612	
EP 165764	B1	930407	EP 85304160	A	850612	
JP 61007663	A2	860114	JP 85125949	A	850610	
US 4598305	A	860701	US 621340	A	840618	

Priority Data (No,Kind,Date):





US 621340 A 840618

?

DEPLETION TYPE THIN FILM SEMICONDUCTOR PHOTODETECTOR

Patent number: JP61007663
Publication date: 1986-01-14
Inventor: AN CHIYAANGU; NOOBURU EMU JIYONSON
Applicant: XEROX CORP
Classification:
 - international: H01L27/14; H01L31/10
 - european:
Application number: JP19850125949 19850610
Priority number(s): US19840621340 19840618

Also published as:

 EP0165764 (A)
 US4598305 (A)
 EP0165764 (A)
 EP0165764 (B)

Abstract not available for JP61007663

Abstract of correspondent: **US4598305**

A depletion mode thin film semiconductor photodetector comprises a crystalline silicon thin film on an insulating substrate with a source region, a drain region and a thin film light sensing channel region formed therebetween. A gate oxide formed over the channel region and a gate electrode formed on the gate oxide. A p-n junction located parallel to the surface of the substrate and within the thin film functioning as a space charge separation region in the channel. The lower portion of the channel region is a p region extending to the substrate and the upper portion of the channel region is a n region extending to the gate oxide. The channel region functions as a fully depleted channel when the photodetector is operated in its OFF state providing for high dynamic range and large photocurrent operation. The depletion mode thin film semiconductor photodetector with n+ source and drain regions function as an ohmic contacts to the channel n region forming a thin film transistor. The thin film transistor photodetector has high photoconductive gain at low light intensities when the n channel region is fully pinched off by an applied gate voltage to the gate electrode which is sufficiently negative as compared to the threshold voltage of the photodetector. When the drain region is replaced by a p+ region functioning as an ohmic contact to the channel p region, a depletion mode gated diode is formed. When the channel region is extended to include a plurality of linearly spaced gate electrodes formed on the gate oxide region with an input diode formed adjacent to the first of such gate electrodes and an output diode formed adjacent to the last of such gate electrodes, the photodetector functions as a charge coupled device.

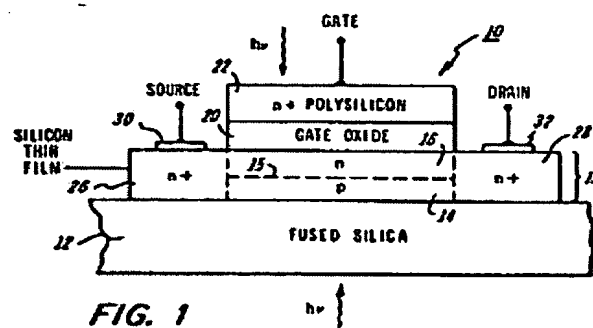


FIG. 1

Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-7663

⑬ Int.Cl.⁴

H 01 L 27/14
31/10

識別記号

庁内整理番号

7525-5F
6666-5F

⑭ 公開 昭和61年(1986)1月14日

審査請求 未請求 発明の数 2 (全10頁)

⑮ 発明の名称 ディプレッション型薄膜半導体光検知器

⑯ 特 願 昭60-125949

⑰ 出 願 昭60(1985)6月10日

優先権主張 ⑱ 1984年6月18日 ⑲ 米国(US) ⑳ 621340

㉑ 発 明 者 アン チャーング アメリカ合衆国 カリフォルニア州 95014 クーパーテ
イノ マイナー プレイス 10213

㉒ 発 明 者 ノーブル エム ジョ アメリカ合衆国 カリフォルニア州 94025 メンロ バ
ンソン ーク コーネル ロード 128

㉓ 出 願 人 ゼロックス コーポレ アメリカ合衆国 ニューヨーク州 14644 ロチェスター
ーション ゼロックス スクエア(番地なし)

㉔ 代 理 人 弁理士 中 村 稔 外4名

明 細 書

1. 発明の名称 ディプレッション型薄膜半導体
光検知器

2. 特許請求の範囲

1. ソース領域、ドレン領域及び両者間に形成された薄膜光検知チャネル領域を備えた絶縁基板上の結晶シリコン薄膜；上記チャネル領域上に形成されたゲート酸化物；上記ゲート酸化物上に形成されたゲート電極；上記基板の表面と平行に上記薄膜内に位置し、空間電荷分離領域として機能するp-n接合；上記チャネル領域の下方部が上記基板へと延びたp領域で、上記チャネル領域の上方部が上記ゲート酸化物へと延びたn領域であること；光検知器がオフ状態で動作するとき上記チャネル領域が完全に空乏化したチャネルとして機能し、ダイナミックレンジが広く光電流が大きい動作を与えること；から成るディプレッション型薄膜半導体光検知器。

2. 前記光検知器が薄膜トランジスタを形成する前記nチャネル領域へのオーミック接触として

機能するp-ソース及びドレン両領域を備え、光検知器の閾電圧と比べ十分に負のゲート電圧をゲート電極へ印加することによって上記nチャネル領域が十分にピンチ・オフしたとき、上記光検知器が低い光強度で高い光導電ゲインを有する特許請求の範囲第1項のディプレッション型薄膜半導体光検知器。

3. 前記チャネル領域下方部がn型にドーブされ、チャネル領域上方部がp型にドーブされた特許請求の範囲第1項のディプレッション型薄膜半導体光検知器。

4. 前記光検知器が薄膜トランジスタを形成する前記nチャネル領域へのオーミック接触として機能するp-ソース及びドレン両領域を備え、光検知器の閾電圧と比べ十分に正のゲート電圧をゲート電極へ印加することによって上記nチャネル領域が十分にピンチ・オフしたとき、上記光検知器が低い光強度で高い光導電ゲインを有する特許請求の範囲第1項のディプレッション型薄膜半導体光検知器。

5. 前記ゲート領域が半透明である特許請求の範囲第1項のディプレッション型薄膜半導体光検知器。
6. 前記絶縁基板が透明である特許請求の範囲第1項のディプレッション型薄膜半導体光検知器。
7. アクセプターとドナーの濃度及び分布が、前記チャネル領域が暗中で充分空乏化された状態でチャネル領域内において光導電を可能とするように選定された特許請求の範囲第1項のディプレッション型薄膜半導体光検知器。
8. 前記pチャネル領域とnチャネル領域におけるアクセプター及びドナー領域がそれぞれ $10^{18}/\text{cm}^3 \sim 10^{19}/\text{cm}^3$ の範囲である特許請求の範囲第7項のディプレッション型薄膜半導体光検知器。
9. 前記チャネル領域の厚さが $0.3\mu\text{m} \sim 50\mu\text{m}$ の範囲である特許請求の範囲第1項のディプレッション型薄膜半導体光検知器。
10. 前記薄膜の再結晶化をレーザ溶融処理で行なうことにより形成された特許請求の範囲第1項のディプレッション型薄膜半導体光検知器。
11. 前記チャネル領域が前記ゲート酸化物上に形成された複数の直線状に離間したゲート電極を含むように延長されて複数の離間した光検知器を形成し、前記ソース領域上で且つ前記ゲート電極の最初の電極に隣接して入力ダイオードが形成され、前記ドレン領域上で且つ前記ゲート電極の最後の電極に隣接して出力ダイオードが形成され、上記光検知器が電荷結合素子として機能する特許請求の範囲第1項のディプレッション型薄膜半導体光検知器。
12. 前記ゲート領域が半透明である特許請求の範囲第11項の電荷結合素子。
13. 前記絶縁基板が透明である特許請求の範囲第11項の電荷結合素子。
14. アクセプターとドナーの濃度及び分布が、前記チャネル領域が暗中で充分空乏化された状態でチャネル領域内において光導電を可能とするように選定された特許請求の範囲第11項の電荷結合素子。
15. 前記pチャネル領域とnチャネル領域におけるアクセプター及びドナー領域がそれぞれ $10^{18}/\text{cm}^3 \sim 10^{19}/\text{cm}^3$ の範囲である特許請求の範囲第14項の電荷結合素子。
16. 前記チャネル領域の厚さが $0.3\mu\text{m} \sim 50\mu\text{m}$ の範囲である特許請求の範囲第11項の電荷結合素子。
17. 前記薄膜の再結晶化をレーザ溶融処理で行なうことにより形成された特許請求の範囲第11項の電荷結合素子。
18. 前記チャネル領域下方部がn型にドーブされ、チャネル領域上方部がp型にドーブされた特許請求の範囲第11項の電荷結合素子。
19. 前記ソース及びドレン両領域が前記nチャネル領域に対するオーミック接触として機能するp⁺領域からなる特許請求の範囲第17項の電荷結合素子。
20. 一対の端子領域とこれらの間に形成された薄膜光検知チャネル領域を備えた絶縁基板上的結晶シリコン薄膜；上記チャネル領域上に形成されたゲート酸化物；上記ゲート酸化物上に形成されたゲート電極；上記基板の表面と平行に上記薄膜内に位置し、空間電荷分離領域として機能するp-n接合；上記チャネル領域の下方部が上記基板へと延びたp領域で、上記チャネル領域の上方部が上記ゲート酸化物へと延びたn領域であること；上記端子領域の一方が上記nチャネル領域へのオーミック接触として機能し、上記端子領域の他方が上記pチャネル領域へのオーミック接触として機能すること；光検知器がオフ状態で動作するとき上記チャネル領域が完全に空乏化したチャネルとして機能し、ダイナミックレンジが広く光電流が大きい動作を与え、光検知器がディプレッション型ゲート式ダイオードを形成すること；から成るディプレッション型薄膜半導体光検知器。
21. 上記一方の端子領域がn⁺領域で、前記他方の端子領域がp⁺領域である特許請求の範囲第20項のディプレッション型薄膜半導体光検知器。
22. 前記チャネル領域下方部がn型にドーブされ、

- チャネル領域上方部がp型にドーブされた特許請求の範囲第20項のディプレッション型薄膜半導体光検知器。
23. 前記光検知器が薄膜トランジスタを形成する前記pチャネル領域へのオーミック接触として機能するp⁺端子領域を備え、光検知器の閾電圧と比べ十分に正のゲート電圧をゲート電極へ印加することによって上記pチャネル領域が十分にピンチ・オフしたとき、上記光検知器が低い光強度で高い光導電ゲインを有する特許請求の範囲第22項のディプレッション型薄膜半導体光検知器。
24. 前記ゲート領域が半透明である特許請求の範囲第20項のディプレッション型薄膜半導体光検知器。
25. 前記絶縁基板が透明である特許請求の範囲第20項のディプレッション型薄膜半導体光検知器。
26. アクセプターとドナーの濃度及び分布が、前記チャネル領域が充分ダークに空乏化された状

- 態でチャネル領域内において光導電を可能とするように選定された特許請求の範囲第20項のディプレッション型薄膜半導体光検知器。
27. 前記pチャネル領域とnチャネル領域におけるアクセプター及びドナー領域がそれぞれ $10^{18}/\text{cm}^3 \sim 10^{19}/\text{cm}^3$ の範囲である特許請求の範囲第26項のディプレッション型薄膜半導体光検知器。
28. 前記チャネル領域の厚さが $0.3\mu\text{m} \sim 50\mu\text{m}$ の範囲である特許請求の範囲第20項のディプレッション型薄膜半導体光検知器。
29. 前記薄膜の再結晶化をレーザ溶融処理で行なうことにより形成された特許請求の範囲第20項のディプレッション型薄膜半導体光検知器。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体光検知素子に関し、特に大面積イメージセンサアレイで用いるのに適した薄膜トランジスタ(TFT)又はフォトダイオード等のディプレッション型薄膜半導体光検知器に関する。

(従来技術)

透明基板上に大面積にわたって被着するのが容易で、再生可能なトランジスタ動作を得るのが容易であるため、結晶化シリコンTFTは大面積ディスプレイ、光検知器、イメージセンサ、集積形光学素子を含む応用分野で大きな可能性を有する。

光感知性であるため、シリコンはフォトダイオード、フォトトランジスタ、電荷結合素子の形の光センサとして使われている。通常これらの形の光センサは、バルク単結晶シリコン基板上に作製される。かかる光センサの全体サイズはシリコンウエハのサイズによって制限される。大きい像領域を読取る光収束光学系を使う場合には、大型の

検知系を必要とする。

任意の大きいサイズの透明基板上に非晶質シリコン(a-Si:H)の薄膜を被着するが容易であるため、接触形原稿入力スキャナ用大面積イメージセンサアレイではこれらの薄膜が使われている。例えば、米国特許第4,419,696号を参照。しかし、a-Si:Hではキャリアの移動度が低いため、光感度とスピードがバルク結晶シリコン(c-Si)に作製されたセンサと比べ一般に劣ることが認められている。

レーザを使った結晶化における最近の発展は、バルク非晶質基板上に無欠陥の単結晶シリコン薄膜を形成するのを可能とし、高性能TFTの形成を透明基板上におけるイメージセンサや平形パネルディスプレイ等の直視形大面積エレクトロニクス装置へ応用できるようになった。例えば、米国特許第4,409,724号を参照。又TFTシフトレジスタの最近のデモンストレーションは、個々の変換器の局所的なスイッチングから画像処理でよく出会うデータ伝送速度用の充分に高い速度を有す

るロジック回路を含むまで、応用分野の拡大を約束している。例えば、A. Chiang 他「水晶上におけるレーザ結晶化シリコンのNMOSロジック回路」、1983年材料研究学会要録、ボストン・マサチューセッツ州、1983年11月。この論文はその後間もなく、ジョン・ファン (John C. C. Fann) とジョンソン (N. M. Johnson) の共編「エネルギービーム-固体相互作用及び過渡的熱処理」(Elsevier、ニューヨーク、1984) という本の中に収録された。

溶融水晶等の絶縁基板上に走査形CWレーザによってパターン化及びカプセル封入化された形状でシリコン薄膜を結晶させることは、当分野で詳しく論文化されている。例えば、米国特許第4,330,363号及びギボンズ (J. F. Gibbons) 他著「レーザ及び電子ビーム固体相互作用&材料処理」、特にp463以降(Elsevier、ニューヨーク、1981)。最近の急激な技術的發展には、走査形CWレーザの溶融ゾーン経路から傾斜した固体化前面を用いることも含まれている。横方向

の欠陥沈降によって構造的欠陥が大巾に減少されるか又は完全に除去され、 $\langle 100 \rangle$ 面配向を持つ $\langle 100 \rangle$ -組織単結晶シリコン島の極めて高率での形成を可能とする。前掲及びL. Fennell 他「溶融シリカ上におけるパターン化シリコン膜の傾斜ゾーン結晶化による欠陥減少」、1983年材料研究学会会合要録、を参照。この論文はその後間もなく、先の「エネルギービーム-固体相互作用及び過渡的熱処理」(Elsevier、ニューヨーク、1984) という本の中に収録された。

絶縁基板上のレーザ結晶化シリコン薄膜技術に関するこうした発展は、バルク素子に匹敵するか又はそれに優る性能を持った数多くの新しいNMOS、CMOSを生み出してきた。しかし、エンハンスメント型TFTで実証されている光感度は、接触形エレクトロニクスコピー装置、プリンタ又はファクシミリ装置等における高速、高解像度の接触形入力スキャナの用途に必要なS/N比の所望レベル及びダイナミックレンジを与えるのに充分でない。

(発明の目的)

この発明によれば、ディプレッション型薄膜半導体光検知器が、匹敵するエンハンスメント型薄膜トランジスタ又は非晶質シリコンフォトリソグラフィと比べ優れた光感度を有し、この発明のディプレッション型薄膜TFT光検知器における光導電ゲインは上記従来装置の光感度を3桁以上のオーダー改善されている。

(発明の構成)

この発明のディプレッション型半導体光検知器は、絶縁基板上のソース、ドレン及びチャネル領域を備えた結晶シリコン薄膜から成る。基板の表面と平行に位置したp-n接合が薄膜内に存在し、光生成キャリア用の膜内における空間電荷分離領域として機能する。薄膜の下方部はホール用貯蔵ゾーンとして機能するp領域から成る一方、薄膜の上方部は電子用貯蔵ゾーンつまりポテンシャルの谷を形成して、光検知器のソース及びドレン領域間の電流チャネルとして機能するn領域から成る。n⁺ソース及びドレン領域を備えたこの発明

のTFT光検知器は、チャネルn領域に対するオーミック接触として機能し、素子が逆バイアスゲートによって充分空乏化されたチャネルで動作されるとき、つまり光検知器の閾電圧と比べ十分に負のゲート電圧がゲート電極に印加されることでnチャネル領域が十分にピンチ・オフしているとき、低いバックグラウンド信号によっても更に低い光強度によってさえも高い光導電ゲインを示す。

ドレン領域がチャネルp領域に対するオーミック接触として機能するp⁺領域で置換されると、ディプレッション型ゲート式ダイオードが形成される。ゲート酸化物領域上に形成された複数の直線状に離間したゲート電極を含むようにチャネル領域が延長され、上記ゲート電極の最初の電極に隣接して入力ダイオードを形成し、上記ゲート電極の最後の電極に隣接して出力ダイオードを形成すれば、光検知器は電荷結合素子として機能する。

本発明のより完全な理解と共に、上記以外の目的及び利点は、添付の図面と関連させた以下の説明と特許請求の範囲を参照することによって明ら

かとなろう。

(実施例)

第1図を参照すると、この発明の薄膜ディプレッション型TFET光検知器10が示してある。光検知器10は、熔融水晶等の透明絶縁基板12上の埋込チャンネル薄膜トランジスタから成る。基板12は、ガラスやセラミックプレート等その他の絶縁材としてもよい。基板12が透明なことは、基板を介しトランジスタで光を検知するのに有用である。但し、トランジスタのポリシリコンゲート電極22を通じ光の透過が可能に製作してもよい。いずれにせよ、この発明のトランジスタ光検知器10を含む集積形半導体アレイについての光透過に関する所望設計に応じ、基板12は透明又は不透明いずれともし得る。

トランジスタ光検知器10は、フォトリソグラフィによって離散した島状にパターン化された結晶化Si薄膜層13を備えている。層13は、例えば0.5 μm 厚とされる。層13及び領域14、16によって形成されるチャンネル領域11に対応

する厚さの範囲は、例えば約0.3 μm ～50 μm の範囲である。光検知器は通常の手法（イオン注入等）によってドーパされ、下半分のp型領域14（例えばホウ素）と上半分のn型領域16（例えばリン）を形成し、両者間にp-n接合15を形成する。n層16を酸化してゲート酸化物層20を熱的に成長した後、n⁺ポリシリコン層22を被着してゲート電極とする。ゲート酸化物層20は例えば約0.13 μm 厚、ポリシリコンゲート22は約0.35 μm 厚とされる。チャンネル領域14、16の両側にAs⁺を注入し、チャンネル11とのオーミック接点として機能する高ドーパn⁺領域を形成することによって、ソース及びドレン領域26、28が形成される。ソース電極30とドレン電極32は蒸着A2から成る。

トランジスタ光検知器10は、当該分野で周知な製造技術で形成できる。例えば、熔融水晶ウエハ上のLP-CVDポリシリコンの0.5 μm 厚層が、フォトリソグラフィとプラズマエッチングによってパターン化され複数の島を形成した後、レ

ーザ熔融処理が施され再結晶化をもたらす。レーザーによる結晶化は、島の中心からズラされたCWCO₂レーザーポットによって行われ、各島を横切って走査される傾斜固化前面を生成する。この手法は、副次粒界(sub-grain)を含まない(100)-組織、<100>-配向の結晶シリコン島を周期的に生じる。レーザー結晶化の後、TFETの製作は例えば、前段及びチャン(A. Chiang)他「半導体素子のレーザー処理に関するS.P.I.Eシンポジウム要録」、第385巻、76(1983)、更に前掲の本「エネルギービーム-固体相互作用及び過渡的熱処理」に記されているような、6つのマスクレベルを用いたNMOSプロセスによって行われる。

第1図のディプレッション型TFET光検知器10におけるp-層14は、ポリゲート電極22の被着前にゲート酸化物を介してホウ素イオンを注入し、層13の下層14内におけるアクセプタ濃度を約 $10^{17}/\text{cm}^3$ とすることによって形成される。同じく、n層16はリンイオンを注入し、

層13の上方領域16において匹敵するドナー濃度とすることにより形成される。アクセプタとドナー両濃度は、 $10^{16}/\text{cm}^3 \sim 10^{18}/\text{cm}^3$ の範囲とする。

光感度の比較のため、ほぼ同じプロセスでエンハンスメント型TFETを作製した。製造プロセスで唯一異なるのは、チャンネル領域の上半分つまり領域16にホウ素イオンを注入して $2 \times 10^{16}/\text{cm}^3$ のドナー濃度とし、n層16の代りに軽くドーパされたp層としたことである。

同じ幾何形状のディプレッション型及びエンハンスメント型両TFETの光感度を、第2A、第2B図で比較する。各素子に基板を介し400 $\mu\text{W}/\text{cm}^2$ の緑光を照射したときのドレン電流 $I_{\text{D,photo}}$ を、ドレン電圧 $V_{\text{D}} = 0.1\text{V}$ におけるゲート電圧 V_{G} に対してプロットし、それぞれ曲線42A（ディプレッション型TFET）と曲線42B（エンハンスメント型TFET）で表わした。又、曲線44A（ディプレッション型TFET）と曲線44B（エンハンスメント型TFET）で表わしたダー

ク時におけるドレン電流 $I_{D, \text{dark}}$ も含めてプロットしてある。

V_G, V_D (図電圧) の場合、TFET 光検知素子はオン状態にあり、数 μA の暗電流を生ずる。照射すると両素子の導電度が高まり、ドレン電流の正味増加 $\Delta I_D = I_{D, \text{photo}} - I_{D, \text{dark}}$ は約 $1 \mu A$ であるが、これは $I_{D, \text{dark}}$ のわずかな部分にすぎない。バックグラウンドの暗電流すなわちダーク電流が高レベルなため、動作光導電ゲイン G が極めて高くても (いずれの型の TFET 素子でも約 2650 電子/入射光子)、オン状態の TFET は光検知器として使えない。光導電ゲイン G は、各入射光子毎にチャネル領域 16 を通過する光生成電子の数として定義される。

V_G, V_D の場合、TFET 光検知素子はオフ状態にある。 $I_{D, \text{dark}}$ は無視できる程度に小さく、ディプレッション型素子では 46 で示したように約 $10^{-13} A$ 、エンハンス型素子では約 $10^{-15} A$ である。照射すると、エンハンスメント型素子は 48 で示すようにあまり顕著でない $40 pA$ の光

電流を生じる。これに対し、ディプレッション型素子の導電度は著しく増加して 50 で示すように $324 nA$ の光電流となり、これはエンハンスメント型素子の約 10^4 倍高い。この高い光電流は、 860 電子/入射電子の動作ゲインに対応する。第 2 A 図の結果から分るように、ディプレッション型 TFET 光検知器 10 のオフ状態における大きい光電流と小さいダーク電流という特性が、光検知器として最も望ましい動作を与える。

光検知器 10 を形成するシリコン島は約 $0.5 \mu m$ 厚で、入射光の 25% だけを吸収し、反射を無視し量子効率を 1 とすれば、基本的光導電ゲイン G は 3440 電子/吸収光子の大きさとなる。オーミック接触を持つ n 型光検知器におけるこのような大きいゲインは非常に長い電子の寿命を意味し、これは次の式 (1) に示す光導電ゲイン G の定義から予測できる。

$$G = \tau / t_n \quad (1)$$

ここで τ は正孔との再結合前における光電子の寿命、 t_n はチャネル領域 16 内における電子の走

行時間で次の式 (2) で与えられる。

$$t_n = L^2 / \mu n V_D \quad (2)$$

ここで L はチャネル長、 μn は電子の移動度、 V_D はチャネルに印加される電圧である。

L が $20 \mu m$ 、 V_D が $0.5 V$ 、 μn が約 $1500 cm^2/V \cdot s$ 、 G が 3440 電子/吸収光子の場合、 t_n は 5.3 、 τ は $18 \mu s$ となる。この予測は実際の過渡測定によって裏付けられており、安定状態の照射後 10% の光電流緩和時間 $10 \mu s$ が得られた。

ディプレッション型 TFET 光検知器 10 の物理的過程は、第 3 図に示したチャネル領域 14、16 のエネルギーバンド図によって定性的に説明できる。実線 E_c 、 E_v がそれぞれ伝導帯と価電子帯を表わす一方、点線 E_f はフェルミレベルである。シリコン薄膜層 13 中の冶金接合 15 はゲート酸化物/Si 境界面 17 の下方約 $0.2 \mu m$ に位置し、空乏領域が $p-n$ 接合 15 の両側から約 $0.1 \mu m$ 延びている。ゲート電極に印加されて大きい負の V_G (V_D は、チャネルの n 型領域 16

の頂面層を空乏化し、 n 領域は充分ピンチ・オフするので自由なキャリアがなくなり、従ってダーク電流は無視できる。

ゲートバイアスで生じた空乏層と n 領域 16 内の接合空乏層が合体して、Si/SiO₂ 境界面の下方約 $0.1 \mu m$ に最小ポテンシャルを形成する。同様に、SiO₂ 基板上に作製されるシリコン素子の特徴である基板内の正の固定酸化物電荷による空乏化のため、最大ポテンシャルは p 領域内に存在する。光生成電子/正孔対が拡散によって分離され、 $p-n$ 接合を横切ってドリフトする。電子は n 層内の最小ポテンシャルによって限定された埋込伝導チャネル内に集められ、正孔は最小ポテンシャルから $0.2 \mu m$ 離れた最大ポテンシャル内に集められる。

一定の照射下では、上記の電荷分離が安定状態に達し、各型のキャリアが光導電度に大きく貢献する。正孔は空間電荷として浮動 p 層中に留まる一方、埋込チャネル内の電子は、それらが $p-n$ 接合を横切り正孔と再結合して頂部又は底部境界

面17、19で非常に少量になるまで光電流に貢献する。電子はp層中の正孔から離れ且つ一般にバルクより多い欠陥を有するSi/SiO₂境界面から離れた埋込チャンネル内に静電的に閉じ込められているので、再結合の過程は大巾に禁止される。従って、光電子はチャンネルの移行時間を越える時間の間光電流に有効に貢献し、式(1)で定義された1よりはるかに大きい光導電ゲインGを与える。

つまり、この発明のディプレッション型TFET光検知器において上記のような高レベルの光感度に貢献する主な因子は次の通り：

- (1) nチャンネル16下方のp層又は領域14の作製による電荷分離用p-n接合15の形成、表面での再結合を防ぐ逆バイアスゲートによる光伝導用埋込チャンネルの形成；
- (2) 特定の結晶化法で得られる単結晶薄膜の優れた品質により、再結合中心となる薄膜バルクの欠陥又は粒界が少くなる；及び
- (3) 表面チャンネルと比べて高い埋込チャンネルの電子移動度。

緑を25%、紫を60%吸収するシリコン膜13の厚さが0.5μmで、第1、第2A、B図に示したディプレッション型TFET光検知器10は、可視域全体を通じて認められる光感度とほぼ線形の低い光レベル応答をもって動作可能である。

第4図は、TFET光検知器10に関し光電流対入射電力の比として定義されたスペクトル光感度を示す。18Wのタングステン白熱電球でポリシリコンゲート22を介し照射した場合、曲線52で示した応答は約200～300アンペア/入射電力ワットの範囲で、光検知器10は可視領域を通じほぼ全色性であることが分る。透明基板12を介して照射した場合、“入射”電力が相対的に高いので、その応答は曲線54のごとくそれに比べて高くなる。この場合にも、光検知器10は可視域を通じほぼ全色性である。

第5図には、照射された入射電力レベルに対する光電流の変化が示してある。線56は直線状で、TFET光検知器10の低い方の光レベル光感度を示す約1μW/cm²に下がるまで入射電力に依存し

この発明のディプレッション型TFETにおける数千電子/吸収光子の光導電ゲインGは、特性上約100のGを持つ従来のフォトトランジスタよりはるかに優っている。当分野で周知でその他の素材又は構造から成る薄膜光検知器と比べるため、1V/cmの下で光キャリアが走行する距離を示す積μnτを優秀性の評価数字として用いる。この積は、式(1)、(2)から導かれる次の式(3)によっても計算できる。

$$\mu n \tau = G L^2 / V \quad (3)$$

μnτの積が10⁻¹～10⁻²cm²/Vの値となるディプレッション型TFETは、当分野でこれまでに報告され周知なその他いずれの薄膜光検知器よりもはるかに感度の高い光検知器である。例えば、レーザ結晶化大粒ポリシリコンTFETのμnτ積は約10⁻²cm²/V、CdS光導電膜は10⁻⁴～10⁻³cm²/V、IR検知PbSTFTは10⁻³～10⁻⁴cm²/V、a-Si:Hフォトダイオードは10⁻⁴cm²/V。

光検知器の性能について見ると、赤を10%、

て線形なことを示している。

素子の幾何形状及びドーピング条件をもっと最適にすれば、大きい光電流、低ノイズ、広いダイナミックレンジ及び特別のスペクトル感度の各点でもっと望ましい光検知の動作をもたらすであろう。高速(10μs/ライン)、高解像度(10μmチャンネル巾又は最高2500ライン/接触像形)のページ巾原稿入力スキャナーが達成可能である。

もっと高い速度が必要な場合、光導電ゲインと検知速度間のトレードオフは、高ゲインのディプレッション型光検知器では光感度を大きく犠牲にせずに得られる。これは、ドーパ剤濃度を變えてp-n接合のバリア高さを變化させ、再結合の生成過程及び光キャリアの寿命を變えることによって達成可能である。

ディプレッション型TFETはNMOSロジック回路の標準的構成要素なので、自身の積分、増巾及びロジック回路を備えた大面積イメージセンサアレイが、欠陥又は變化をほとんど含まないレー

ザ結晶化TFT用に開発されたNMOS法によって作製できる。第6図はTFT光検知器10の大面积イメージセンサアレイ60への応用を示しており、ドレイ領域出力62が電荷積分及び増巾回路64に供給され、そこでライン62上の信号が一定時間にわたって積分され増巾される。増巾信号はライン66を介し一連のシフトレジスタ及びイメージ処理回路68に与えられ、ライン70への直列直列のため信号がバッファされイメージが処理される。

表面再結合を防ぎ光キャリアの寿命を延ばすための薄膜素子における埋込チャネル光導電の原理は、その他の形態の素子へも適用可能で、バルクシリコン基板に作製した同等物で認められているものより優れていなくても少くともそれに匹敵する光感度をもった大きな基板上に薄膜光検知器を実現できる。

例えば第7図は、この発明の半導体検知器の1つであるフォトダイオードを示している。フォトダイオード10Aは、ドレン領域28がp領域

14へのオーミック接触として機能する高ドープ化p⁺領域28Aで置換されている点を除き、第1図のTFT光検知器10と基本的に同じ構造である。ディプレッション型埋込チャネル薄膜ゲート式ダイオード10Aは、1に近いゲインだが、第1図のTFT光検知器10と比ベナノセカンド範囲の応答というはるかに高い動作速度を持つ光検知器として使用できる。ダイオード10Aは負バイアス式フォトダイオード用の電荷分離機構を与え、光励起キャリアが逆バイアス状態でp、n両領域14、16の埋込チャネル内に高効率で分離収集される。ダイオード10Aの端子領域28Aにおける出力の増巾は、ダイオード端末領域28Aに直近して第1図に示したのと同じ薄膜構造を持つ集積TFT回路をNMOS又はCMOS法で作製することによって可能である。

別の例として第8図は、入力ダイオード(ID)30(ソースに対応)と出力ダイオード(OD)32(ドレンに対応)間のチャネル領域が数インチの長さとなされ、ゲート電極22がそれぞれイメ

ージ検知位置を限定する多数の個々のゲート電極22'に分割されている点を除き、ディプレッション型TFT光検知器10と基本的に同じ方法で作製された薄膜埋込チャネル電荷結合素子(CCD)10Bを示している。最初のゲート電極22AがCCD10Bの入力ゲート(IG)、最後のゲート電極22Bがその出力ゲート(OG)を成す。この素子は、バルクシリコンに形成された埋込チャネルCCD光検知器のように、予測され匹敵する性能だが相対的に高い動作速度で動作可能である。又薄膜CCD10Bの実現は、例えば大面积基板上の他のエレクトロニクスによる各種の読出し能力を持った光検知器アレイの集積化を可能とする。

以上本発明を数種の特実実施例を参照して説明したが、上記の説明に照らして多くの代替、変更及び変化が可能なことは当業者にとって明らかであろう。例えば、両領域26、28をp⁺、下方領域14をn、上方領域16をpにそれぞれドーブすれば、正孔による光導電用のドーブ剤を逆の

極性にすることができる。つまり本発明は、特許請求の範囲の主旨及び範囲に入るそのような代替、変更及び変化を包含するものである。

4. 図面の簡単な説明

第1図は本発明のディプレッション型TFT光検知器の断面図；

第2A、B図は第1図のディプレッション型TFT光検知器(第2A図)とエンハンスメント型TFT光検知器(第2B図)の対応する照射及び動作条件下における明暗両状態でのドレン電流対ゲート電圧特性を示すグラフ；

第3図は第1図のディプレッション型TFT光検知器のエネルギーバンド図；

第4図は18Wタングステン白熱ランプで照射したディプレッション型TFT光検知器における低光レベルでの入射電力に対する光電流の線形依存性を示すグラフ；

第5図は10mWダイオード・レーザにより、ポリシリコンゲート及び基板を介して照射したディプレッション型TFT光検知器の光感度のスペ

クトル依存性を示すグラフ；

第6図は本発明のディプレッション型TFT光検知器の例示的使用の概略図；

第7図は本発明のディプレッション型ゲート式フォトダイオードの断面図；及び

第8図は本発明のディプレッション型埋込チャネル電荷結合素子の断面図である。

10・・・薄膜ディプレッション型半導体（トランジスタ）光検知器、10A・・・フォトダイオード、10B・・・電荷結合素子、12・・・絶縁基板、13・・・結晶化Si薄膜、14、

16・・・チャネル領域（14・・・p型領域、16・・・n型領域）、15・・・p-n接合、

20・・・ゲート酸化物、22、22'・・・ゲード電極、26・・・ソース領域（n⁺端子領域）、

28・・・ドレン領域、28A・・・端子領域、

30・・・ソース電極（入力ダイオード）、32

・・・ドレン電極（出力ダイオード）。

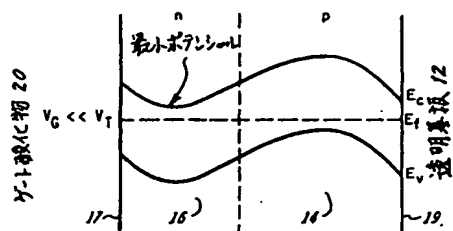
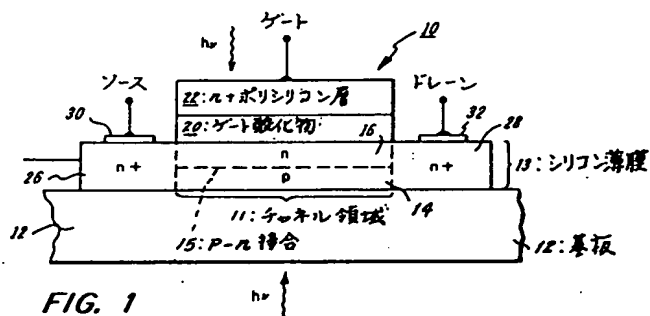


FIG. 3

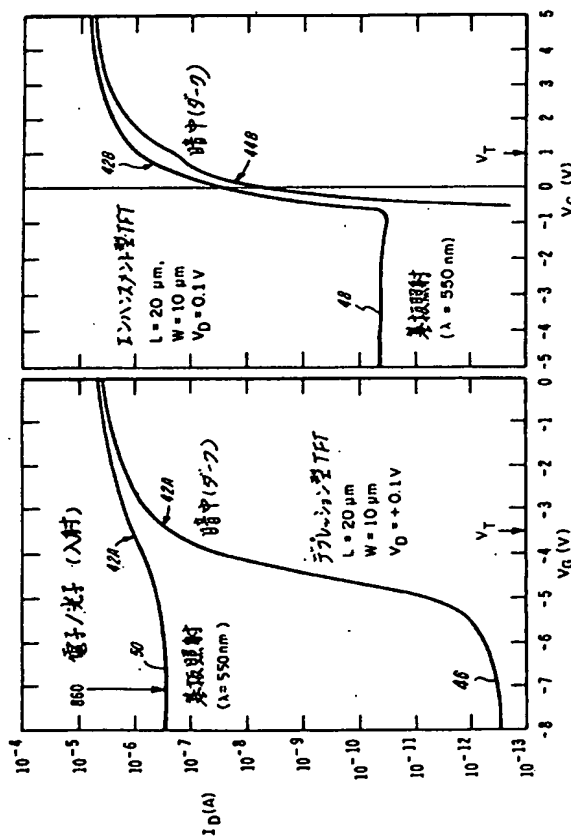


FIG. 2B

FIG. 2A

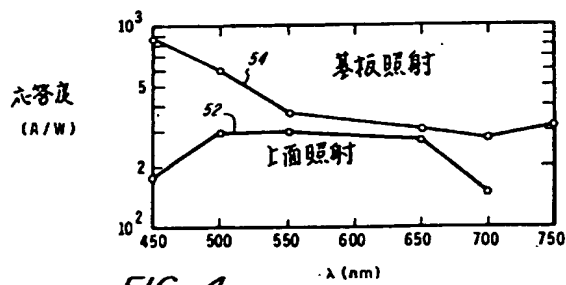


FIG. 4

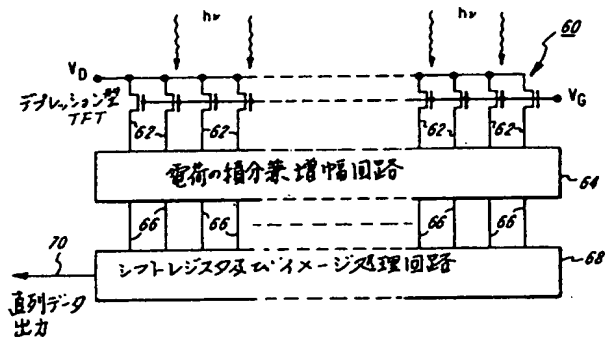


FIG. 6

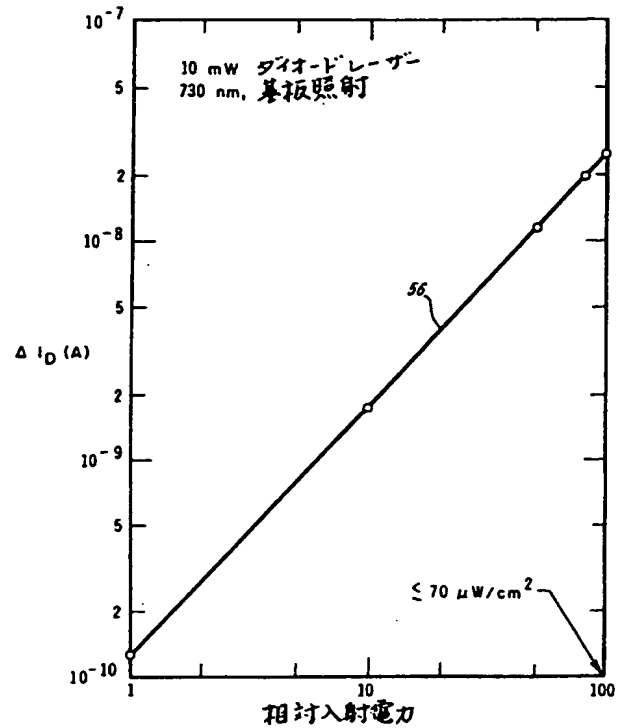


FIG. 5

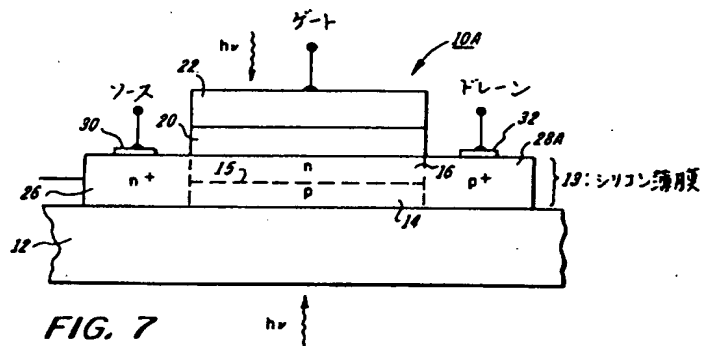


FIG. 7

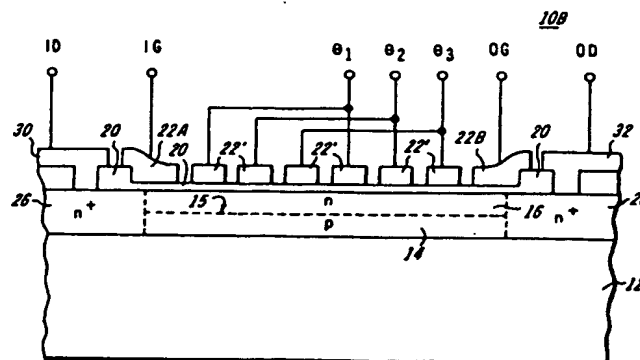


FIG. 8